

-11 3

Jc784 U.S. PTO
09/666218
09/21/00

**KOREAN INDUSTRIAL
PROPERTY OFFICE**

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

Application Number: 1999-40649

Date of Application: 21 September 1999

Applicant(s): Samsung Electronics Co., Ltd.

19 November 1999

COMMISSIONER

PATENT APPLICATION

[Document Name] Patent Application

[Application Type] Patent

[Receiver] Commissioner

[Reference No.] 0003

[Filing Date] 1999.09.21.

[IPC] H04L

[Title] Data Recovery Apparatus and Method

[Applicant]
Name: Samsung Electronics Co., Ltd.
Applicant code: 1-1998-104271-3

[Attorney]
Name: Young-pil Lee
Attorney's code: 9-1998-000334-6
Reg. No. of General
Power of Attorney: 1999-009556-9

Name: Sang-bin Jeong
Attorney's code: 9-1998-000541-1
Reg. No. of General
Power of Attorney: 1999-009617-5

Name: Deog-young Kwak
Attorney's code: 9-1998-000630-5
Reg. No. of General
Power of Attorney: 1999-009616-8

[Inventor]
Name: MOON, Byung Joon
I.D. No. 650220-1849920
Zip Code 449-900
Address: 102-907, Dongbu Apt., 384-1, Gugal-ri, Kiheung-eub,
Yongin-city, Kyungki-do, Republic of Korea
Nationality: KR

[Application Order] We respectively submit an application according to Art. 42 of the Patent Law.

Attorney	Young-pil Lee	(seal)
Attorney	Sang-bin Jeong	(seal)
Attorney	Deog-young Kwak	(seal)

[Fee]

Basic page:	20 Sheet(s)	29,000 won
Additional page:	3 Sheet(s)	3,000 won
Priority claiming fee:	0 Case(s)	0 won
Examination fee:	0 Claim(s)	0 won
Total:		32,000 won

[Enclosures]

1. Abstract and Specification (and Drawings) 1 copy each

CERTIFIED COPY OF
PRIORITY DOCUMENT

1c784 U.S. PTO
09/666218
09/21/00

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 1999년 특허출원 제40649호
Application Number

출원년월일 : 1999년 9월 21일
Date of Application

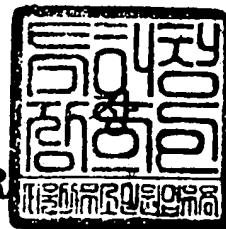
출원인 : 삼성전자 주식회사
Applicant(s)



1999 년 11 월 19일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	1999.09.21
【국제특허분류】	H04L
【발명의 명칭】	데이터 복원장치 및 방법
【발명의 영문명칭】	Data recovery apparatus and method
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	곽덕영
【대리인코드】	9-1998-000630-5
【포괄위임등록번호】	1999-009616-8
【발명자】	
【성명의 국문표기】	문병준
【성명의 영문표기】	MOON, Byung Joon
【주민등록번호】	650220-1849920
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 구갈리 384-1 동부아파트 102동 907호
【국적】	KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 이영

필 (인) 대리인

정상빈 (인) 대리인

곽덕영 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 3 면 3,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 32,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

전송 채널을 통해 전송된 데이터와 워드 클럭 신호 사이의 스큐를 보상하여 원래의 정보 데이터를 안정적으로 복원해낼 수 있는 데이터 복원 장치 및 방법이 개시된다. 전송 채널을 통해 워드 클럭 신호와 함께 직렬로 전송되며 각각이 M (여기서, M 은 1이상의 양의 정수)비트인 싱크 워드와 정보 데이터가 멀티플렉싱된 직렬 전송 데이터로부터 정보 데이터를 복원해내는 이 장치의 클럭 신호 발생부는 서로가 겹치지 않도록 소정 오프셋을 갖는 제1 ~ 제 M 은 오버랩핑 클럭 신호들을 워드 클럭 신호를 기준으로 발생하고, 제1 래치부는 수신한 직렬 전송 데이터를 제1 ~ 제 M 은 오버랩핑 클럭 신호들에 응답하여 병렬로 $M+N-1$ (여기서, N 은 3이상의 양의 정수)비트 단위로 래치하고, 서로간에 소정 오프셋의 시간차를 가지며 각각이 래치된 M 비트로 이루어진 N 개의 상태 데이터들을 출력하며, 제2 래치부는 N 개의 상태 데이터들을, 제1 ~ 제 M 은 오버랩핑 클럭 신호들중 타이밍 마진이 가장 큰 제 X ($1 \leq X \leq M$)은 오버랩핑 클럭 신호에 응답하여 병렬로 래치하며 및 동기화부는 싱크 워드가 존재할 때 외부로부터 발생되는 싱크 존재 신호와 제 X 은 오버랩핑 클럭 신호에 응답하여, 제2 래치부에서 래치된 데이터들중 싱크 워드가 검출되는 상태 데이터를 복원된 정보 데이터로서 출력하는 것을 특징으로 한다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

데이터 복원 장치 및 방법 {Data recovery apparatus and method}

【도면의 간단한 설명】

도 1은 본 발명에 의한 데이터 복원 장치의 개략적인 블록도이다.

도 2의 (a) 및 도 2의 (b)들은 도 1에 도시된 장치로 입력되는 워드 클럭 신호 및 직렬 전송 데이터의 파형도들이다.

도 3은 도 1에 도시된 장치에서 수행되는 본 발명에 의한 데이터 복원 방법을 설명하기 위한 플로우차트이다.

도 4는 워드 클럭 신호 및 클럭 신호 발생부로부터 출력되는 제1 ~ 제9 논 오버랩핑 클럭 신호들의 파형도들이다.

도 5는 도 1에 도시된 제1 래치부의 본 발명에 의한 바람직한 일실시예의 회로도이다.

도 6은 도 1에 도시된 동기화부의 본 발명에 의한 바람직한 일실시예의 블록도이다.

도 7은 도 3에 도시된 제32 단계의 본 발명에 의한 세부적인 플로우차트이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 전송 채널을 통해 데이터를 송/수신하는 시스템에 관한 것으로서, 특히, 전송 채널을 통해 전송된 데이터로부터 송신단에서 송신된 원래의 정보 데이터를 안정적으로 복원하는 데이터 복원 장치 및 방법에 관한 것이다.

<9> 데이터 워드(data words)를 고속으로 직렬로 전송 채널을 통해 전송할 때, 비트 클럭 신호를 직접 전송할 수 없는 어려움이 수반된다. 즉, 전송 채널이 고속 채널이 아닌 경우, 고 주파수를 갖는 비트 클럭 신호를 전송 채널을 통해 전송하기 힘들다. 따라서, 고 주파수의 비트 클럭 신호 대신에 저 주파수의 워드 클럭 신호를 데이터 워드와 함께 전송한다면, 이러한 어려움이 제거될 수 있다. 그러나, 워드 클럭 신호와 직렬 비트 데이터 사이에 스큐(skew)가 존재한다면, 수신단에서 복원되는 워드 데이터(또는 정보 데이터)에 오류가 발생하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<10> 본 발명이 이루고자 하는 기술적 과제는, 전송 채널을 통해 전송된 데이터와 워드 클럭 신호 사이의 스큐를 보상하여 원래의 정보 데이터를 안정적으로 복원해낼 수 있는 데이터 복원 장치를 제공하는 데 있다.

<11> 본 발명이 이루고자 하는 다른 기술적 과제는, 상기 데이터 복원 장치에서 수행되는 데이터 복원 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<12> 상기 과제를 이루기 위해, 전송 채널을 통해 워드 클럭 신호와 함께 직렬로 전송되며 각각이 M(여기서, M은 1이상의 양의 정수)비트인 싱크 워드와 정보 데이터가 멀티플렉싱된 직렬 전송 데이터로부터 상기 정보 데이터를 복원해내는 본 발

명에 의한 데이터 복원 장치는, 서로가 겹치지 않도록 소정 오프셋을 갖는 제1 ~ 제M 논 오버래핑 클럭 신호들을 상기 워드 클럭 신호를 기준으로 발생하는 클럭 신호 발생부와, 수신한 상기 직렬 전송 데이터를 상기 제1 ~ 제M 논 오버래핑 클럭 신호들에 응답하여 병렬로 $M+N-1$ (여기서, N은 3이상의 양의 정수)비트 단위로 래치하고, 서로간에 상기 소정 오프셋의 시간차를 가지며 각각이 래치된 M비트로 이루어진 N개의 상태 데이터들을 출력하는 제1 래치부와, 상기 N개의 상태 데이터들을, 상기 제1 ~ 제M 논 오버래핑 클럭 신호들중 타이밍 마진이 가장 큰 제X($1 \leq X \leq M$) 논 오버래핑 클럭 신호에 응답하여 병렬로 래치하는 제2 래치부 및 상기 싱크 워드가 존재할 때 외부로부터 발생하는 싱크 존재 신호와 상기 제X 논 오버래핑 클럭 신호에 응답하여, 상기 제2 래치부에서 래치된 데이터들중 상기 싱크 워드가 검출되는 상태 데이터를 복원된 상기 정보 데이터로서 출력하는 동기화부로 구성되는 것이 바람직하다.

<13> 상기 다른 과제를 이루기 위해, 전송 채널을 통해 워드 클럭 신호와 함께 직렬로 전송되며 각각이 M(여기서, M은 1이상의 양의 정수)비트인 싱크 워드와 정보 데이터가 멀티플렉싱된 직렬 전송 데이터로부터 상기 정보 데이터를 복원해내는 본 발명에 의한 데이터 복원 방법은, 서로가 겹치지 않도록 소정 오프셋을 갖는 제1 ~ 제M 논 오버래핑 클럭 신호들을 상기 워드 클럭 신호를 기준으로 발생하는 단계와, 수신한 상기 직렬 전송 데이터를 상기 제1 ~ 제M 논 오버래핑 클럭 신호들을 이용하여 병렬로 $M+N-1$ (여기서, N은 3이상의 양의 정수)비트 단위로 래치하는 단계와, 서로간에 상기 소정 오프셋의 시간차를 가지며 각각이 래치된 M비트로 이루어

진 N개의 상태 데이터들을 발생하는 단계와, 상기 N개의 상태 데이터들을, 상기 제1 ~ 제M
 는 오버래핑 클럭 신호들중 타이밍 마진이 가장 큰 제X($1 \leq X \leq M$) 는 오버래핑 클럭 신호에
 동기시켜 병렬로 래치하는 단계 및 상기 직렬 전송 데이터가 상기 싱크 워드일 때, 래치된 상
 태 데이터들중 상기 싱크 워드가 검출되는 상태 데이터를 복원된 상기 정보 데이터로서 결정
 하는 단계로 이루어지는 것이 바람직하다.

<14> 이하, 본 발명에 의한 데이터 복원 장치의 구성 및 동작과 그의 복원 방법을 첨부한 도
 면들을 참조하여 다음과 같이 설명한다.

<15> 도 1은 본 발명에 의한 데이터 복원 장치의 개략적인 블록도로서, 제1 및 제2
 래치부들(10 및 12), 클럭 신호 발생부(14) 및 동기화부(16)로 구성된다.

<16> 도 2의 (a) 및 도 2의 (b)들은 도 1에 도시된 장치로 입력되는 워드 클럭 신호(CKW)
 및 직렬 전송 데이터(DATAIN)의 파형도들로서, 도 2의 (a)는 전송 채널을 통해 수신된 워
 드 클럭 신호(CKW)의 파형도를 나타내고, 도 2의 (b)는 전송 채널을 통해 수신된 전송 데
 이터(DATAIN)의 파형도를 각각 나타낸다.

<17> 도 3은 도 1에 도시된 장치에서 수행되는 본 발명에 의한 데이터 복원 방법을 설명하기
 위한 플로우차트로서, N개의 상태 데이터들을 직렬 전송 데이터(DATAIN) 및 워드 클럭
 신호(CKW)를 이용하여 구하는 단계(제24 ~ 제28 단계), 어느 상태 데이터에서 싱크 워드
 가 검출되는가를 결정하는 단계(제30 및 제32 단계)로 이루어진다.

<18> 먼저, 도 1에 도시된 클럭 신호 발생부(14)는 전송 채널을 통해 도 2 (a)에

도시된 워드 클럭 신호(CKW)를 수신하고, 서로 겹치지 않도록 서로 간에 소정 오프셋을 갖는 제1 ~ 제M 논 오버랩핑(non-overlapping)(여기서, M은 1 이상의 양의 정수) 클럭 신호들을 수신된 워드 클럭 신호(CKW)를 기준으로 발생한다(제24 단계). 여기서, 소정 오프셋은 도 2의 (b)에 도시된 전송 데이터에서 단위 비트의 폭(18)에 해당될 수 있다. 예컨대, 후술되는 바와 같이 제1 논 오버랩핑 클럭 신호는 도 2의 (a)에 도시된 워드 클럭 신호와 위상 및 주기가 동일하고, 제2 논 오버랩핑 클럭 신호는 제1 논 오버랩핑 클럭 신호를 단위 비트의 폭(18)만큼의 위상 쉬프트시켜 발생한다. 결국, 클럭 신호 발생부(14)는 제1 논 오버랩핑 클럭 신호를 소정 오프셋 간격으로 위상 쉬프트시킴으로서 서로 간에 소정 오프셋 만큼의 위상차를 갖는 M개의 논 오버랩핑 클럭 신호들을 발생할 수 있다. 이를 위해, 클럭 신호 발생부(14)는 위상 동기 루프(PLL:Phase Locked Loop) 따위로 구현될 수 있다.

<19> 제24 단계후에, 제1 래치부(10)는 전송 채널을 통해 수신한 도 2 (b)에 도시된 직렬 전송 데이터(DATAIN)를 클럭 신호 발생부(14)로부터 출력되는 제1 ~ 제M 논 오버랩핑 클럭 신호들에 응답하여 병렬로 $M+N-1$ (여기서, N은 3 이상의 양의 정수)비트 단위로 래치한다(제26 단계). 여기서, 직렬 전송 데이터(DATAIN)는 각각이 M비트인 싱크 워드(sync word)와 정보 데이터가 멀티플렉싱된 데이터를 의미하며, 워드 클럭 신호(CKW)와 함께 전송 채널을 통해 직렬로 전송되고, 정보 데이터는 정보를 갖고 있는 데이터를 의미하고, 싱크 워드는 동기를 위한 신호에 해당한다. 예를 들어, 도 2의 (b)에 도시된 바와 같이 직렬 전송 데이터(DATAIN)는 M비트($d_0 d_1 \dots d_{M-3} d_{M-2} d_{M-1}$)의 정보 데이터(20)와 M비트의($d_0 d_1 \dots d_{M-3} d_{M-2} d_{M-1}$) 싱크 워드(22)가 멀티플렉싱된 구조를 갖는다. 여기서, 싱크 워드(22)는 소정수개의 정보 데이터마다 하나씩 삽입된다.

<20> 제26 단계후에, 제1 래치부(10)는 서로간에 소정 오프셋의 시간차를 가지며 제24 단

계에서 래치된 비트들 M개로 각각이 이루어진 N개의 상태 데이터들을 제2 래치부(12)로 출력한다(제28 단계). 여기서, N개의 상태 데이터들은 도 2의 (a)에 도시된 워드 클럭 신호(CKW)와 동기가 맞는 제1 상태 데이터(DD), 제1 상태 데이터보다 위상이 지연된(lagging) 적어도 하나 이상의 제2 상태 데이터(DL), 제1 상태 데이터보다 위상이 빠른(leading) 적어도 하나 이상의 제3 상태 데이터(DE) 따위로 이루어진다.

<21> 제28 단계후에, 제2 래치부(12)는 제1 래치부(10)로부터 출력되는 N개의 상태 데이터를, 제1 ~ 제M 논 오버랩핑 클럭 신호들(CKP0 ~ CKPM-1)중 타이밍 마진이 가장 큰 제X($1 \leq X \leq M$) 논 오버랩핑 클럭 신호에 동기시켜 병렬로 래치하고, 래치된 결과를 동기화부(16)로 출력한다(제30 단계). 이는, 제1 래치부(10)로부터 출력되는 N개의 상태 데이터를 동시에 병렬로 동기화부(16)로 제공하기 위함이다. 즉, 도 1에 도시된 본 발명에 의한 장치의 제1 래치부(10)는 M개의 논 오버랩 클럭 신호들에 응답하여 동작하지만, 제2 래치부(12) 및 동기화부(16)는 제X 논 오버랩 클럭 신호 하나만에 의해 동작함을 유의해야 한다.

<22> 제30 단계후에, 동기화부(16)는 직렬 전송 데이터(DATAIN)가 싱크 워드인가 정보 데이터인가를 나타내며 도 1에 도시된 장치의 외부에서 발생하는 싱크 존재 신호(DATA/SYNC)와 제X 논 오버랩핑 클럭 신호에 응답하여, 제2 래치부(12)에서 래치된 상태 데이터들중 싱크 워드가 검출되는 상태 데이터를 복원된 정보 데이터(DATAOUT)로서 결정한다(제32 단계).

<23> 본 발명의 이해를 돕기 위해, M=9라 가정하고 즉, 1워드를 9비트라 가정하고, N=3이라 가정하여 도 1에 도시된 장치 및 도 3에 도시된 방법을 다음과 같이 설명한다.

<24> 도 4는 워드 클럭 신호(CKW) 및 도 1에 도시된 클럭 신호 발생부(14)로부터 출력되

는 제1 ~ 제9 논 오버랩핑 클럭 신호들(CKP0 ~ CKP8)의 파형도를 각각 나타낸다.

- <25> 도 5는 도 1에 도시된 제1 래치부(10)의 본 발명에 의한 바람직한 일실시예의 회로도로서, 제1, 제2, 제3, 제4, 제5, 제6, 제7, 제8, 제9, 제10 및 제11 플립플롭들(40, 42, 44, 46, 48, 50, 52, 54, 56, 58 및 60), 제1, 제2 및 제3 버퍼들(62, 64 및 66)로 구성된다.
- <26> 도 5에 도시된 제1 ~ 제11 플립플롭들(40 ~ 60) 각각은 수신한 직렬 전송 데이터(DATAIN)의 단위 비트를 데이터 입력단자(D)로 입력하고 제1 ~ 제9 논 오버랩핑 클럭 신호들(CKP0 ~ CKP8) 각각을 클럭단자(CK)로 입력한다. 예를 들어, 제1 플립플롭(40)은 제1 논 오버랩핑 클럭 신호(CKP0)를 클럭 단자(CK)로 입력하고, 직렬로 수신된 전송 데이터(DATAIN)의 한 비트를 데이터 입력단자(D)로 입력한다.
- <27> 이 때, 제1 버퍼(62)는 제1 ~ 제9 플립플롭들(40 ~ 56)의 정출력(Q)들을 입력하여 버퍼링하고, 버퍼링된 결과를 제2 논 오버랩핑 클럭 신호(CKP1)에 응답하여 제2 상태 데이터(DL)로서 출력한다. 제2 버퍼(64)는 제2 ~ 제10 플립플롭들(42 ~ 58)의 정 출력(Q)들을 입력하여 버퍼링하고, 버퍼링된 결과를 제1 논 오버랩핑 클럭 신호(CKP0)에 응답하여 제1 상태 데이터(DD)로서 출력한다. 또한, 제3 버퍼(66)는 제3 ~ 제11 플립플롭들(44 ~ 60)의 정 출력(Q)들을 입력하여 버퍼링하고, 버퍼링된 결과를 제9 논 오버랩핑 클럭 신호(CKP8)에 응답하여 제3 상태 데이터(DE)로서 출력한다.
- <28> 도 4에 도시된 바와 같이, 제1 논 오버랩핑 클럭 신호(CKP0)는 워드 클럭 신호(CKW)와 위상 및 주기가 일치하고, 제2 논 오버랩핑 클럭 신호(CKP1)는 워드 클럭 신호(CKW)보다 단위 비트 폭 만큼 위상이 느리고, 제9 논 오버랩핑 클럭 신호(CKP8)는 워드 클럭 신호(CKW)보다 단위 비트 주기 만큼 위상이 빠르다. 그러므로, 제1 상태 데이터(DD)는, 단위 비트 폭만큼, 제2 상태 데이터(DL)보다 위상이 앞서고 제3 상태 데이터(DE)보다

위상이 느려지게 된다. 이와 같이, 워드 클럭 신호(CKW)의 단위 비트 폭만큼의 위상차를 갖는 제2 및 제3 상태 데이터(DL 및 DE)를 생성하는 이유는 후술되는 바와 같이 스큐를 보상하기 위함이다.

<29> 도 6은 도 1에 도시된 동기화부(16)의 본 발명에 의한 바람직한 일실시예의 블록도로써, 선택부(70), 상태 및 선택 신호 발생부(72) 및 제4 버퍼(74)로 구성된다.

<30> 도 6에 도시된 선택부(70)는 제2 래치부(12)로부터 출력되는 제1, 제2 및 제3 상태 데이터들(DD, DL 및 DE)중 하나를 선택 신호(S)에 응답하여 선택하고, 선택된 결과(DATAOUT)를 상태 및 선택 신호 발생부(36)로 출력한다. 이 때, 상태 및 선택 신호 발생부(36)는 싱크 존재 신호(DATA/SYNC)에 응답하여, 선택부(34)에서 선택된 제1, 제2 또는 제3 상태 데이터(DD, IDL 및 IDE)와 미리 저장하고 있는 싱크 워드의 소정 비트 패턴을 비교하고, 비교된 결과 및 현재 상태를 나타내는 현재 상태 신호를 논리 조합하여 선택 신호(S) 및 다음 상태를 나타내는 다음 상태 신호를 선택부(70) 및 제4 버퍼(74)로 각각 출력한다. 여기서, 선택부(70)가 초기 상태에서 제1 상태 데이터(DD)를 선택하고, 제1 상태 데이터(DD)와 소정 비트 패턴이 일치하지 않으면 제2 상태 데이터(DL)를 선택하고, 제2 상태 데이터(DL)와 소정 비트 패턴이 일치하지 않으면 제3 상태 데이터(DE)를 선택하도록 선택 신호(S)가 상태 및 선택 신호 발생부(72)로부터 출력된다. 이를 위해, 상태 및 선택 신호 발생부(72)는 제4 버퍼(74)로부터 출력되는 현재 상태 신호를 논리 조합하여 다음 상태 신호를 발생한다.

<31> 이 때, 제4 버퍼(74)는 상태 및 선택 신호 발생부(72)로부터 출력되는 다음 상태 신호를 제X 논 오버래핑 클럭 신호(CKPX) 예를 들면 타이밍 마진이 가장 큰 제8 논 오버래핑 클럭 신호(CKP7)에 응답하여 버퍼링하고, 버퍼링된 결과를 현재 상태 신호로서 상태 및 선택

신호 발생부(72)로 출력한다. 이 때, 후술되는 바와 같이 복원된 정보 데이터(DATAOUT)는 싱크 워드와 소정 비트 패턴이 일치할 때 선택부(70)에서 선택된 상태 데이터에 해당한다.

- <32> 도 7은 도 3에 도시된 제32 단계의 본 발명에 의한 세부적인 플로우차트로서, 제1, 제2 및 제3 상태 데이터들(DD, DL 및 DE)과 싱크 워드의 소정 비트 패턴을 비교하여 원래의 정보 데이터(DATAOUT)를 결정하는 단계들(제80 ~ 제90 단계)로 이루어진다.
- <33> 먼저, 도 6에 도시된 상태 및 선택 신호 발생부(72)는 전송 채널을 통해 전송된 직렬 전송 데이터(DATAIN)가 싱크 워드이면, 제1 상태 데이터(DD)가 싱크 워드의 소정 비트 패턴과 일치하는가를 판단한다(제80 단계). 예를 들면, 직렬 전송 데이터(DATAIN)가 싱크 워드이면 '고' 논리 레벨의 싱크 존재 신호(DATA/SYNC)가 외부로부터 입력되고 직렬 전송 데이터(DATAIN)가 정보 데이터이면 '저' 논리 레벨의 싱크 존재 신호(DATA/SYNC)가 외부로부터 입력된다. 이 때, 상태 및 선택 신호 발생부(72)는 '고' 논리 레벨의 싱크 존재 신호(DATA/SYNC)가 입력될 때만 인에이블되어 해당하는 동작을 수행하고, '저' 논리 레벨의 싱크 존재 신호(DATA/SYNC)가 입력되면, 현재 상태 신호를 다음 상태 신호로서 바이패스(bypass)시킨다.
- <34> 만일, 제1 상태 데이터(DD)가 싱크 워드의 소정 비트 패턴과 일치하면, 제1 상태 데이터(DD)를 복원된 정보 데이터(DATAOUT)로서 결정한다(제86 단계).
- <35> 그러나, 상태 및 선택 신호 발생부(72)는 제1 상태 데이터(DD)가 소정 비트 패턴과 일치하지 않으면, 제2 상태 데이터(DL)가 소정 비트 패턴과 일치하는가를 판단한다(제82 단계). 만일, 제2 상태 데이터(DL)가 소정 비트 패턴과 일치하면, 제2 상태 데이터(DL)를 복원된 정보 데이터(DATAOUT)로서 결정한다(제88 단계).

<36> 한편, 제2 상태 데이터(DL)가 소정 비트 패턴과 일치하지 않으면, 제3 상태 데이터(DE)가 소정 비트 패턴과 일치하는가를 판단한다(제84 단계). 만일, 제3 상태 데이터(DE)가 소정 비트 패턴과 일치하면, 제3 상태 데이터(DE)를 복원된 정보 데이터(DATAOUT)로서 결정한다(제90 단계). 그러나, 제3 상태 데이터(DE)가 소정 비트 패턴과 일치하지 않으면, 제80 단계로 진행한다. 또한, 제1, 제2 또는 제3 상태 데이터(DD, DL 또는 DE)가 복원된 정보 데이터로서 결정된 후에도 제1, 제2 또는 제3 상태 데이터(DD, DL 또는 DE)가 소정 비트 패턴과 일치하지 않게 되면 제80 단계로 진행한다.

<37> 결국, 직렬 전송 데이터(DATIN)와 워드 클럭 신호(CKW) 사이에 스큐가 존재하지 않는다면, 제1 상태 데이터(DD)가 복원된 정보 데이터로서 결정되고, 직렬 전송 데이터(DATIN)와 워드 클럭 신호(CKW) 사이에 n 비트 주기의 스큐가 존재하면, 제2 또는 제3 상태 데이터(DL 또는 DE)가 복원된 정보 데이터로서 결정된다.

<38> 전술한 실시예에서는 $M=9$ 및 $N=3$ 이라 가정하였지만, M 과 N 을 가변시키면 도 1에 도시된 본 발명에 의한 장치는 직렬 전송 데이터(DATIN)와 워드 클럭 신호(CKW) 사이에 존재하는 12 비트 주기 이상의 스큐를 보상할 수도 있다.

【발명의 효과】

<39> 이상에서 설명한 바와 같이, 본 발명에 의한 데이터 복원 장치 및 방법은 싱크 워드와 정보 데이터가 멀티플렉싱되어 있는 직렬 전송 데이터가 송/수신될 때, 전송 채널에서 스큐가 발생하더라도 직렬 전송 데이터로부터 정보 데이터를 안정적으로 복원해낼 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

전송 채널을 통해 워드 클럭 신호와 함께 직렬로 전송되며 각각이 M (여기서, M 은 1이상의 양의 정수)비트인 싱크 워드와 정보 데이터가 멀티플렉싱된 직렬 전송 데이터로부터 상기 정보 데이터를 복원해내는 데이터 복원 장치에 있어서,

서로가 겹치지 않도록 소정 오프셋을 갖는 제1 ~ 제 M 논 오버랩핑 클럭 신호들을 상기 워드 클럭 신호를 기준으로 발생하는 클럭 신호 발생부;

수신한 상기 직렬 전송 데이터를 상기 제1 ~ 제 M 논 오버랩핑 클럭 신호들에 응답하여 병렬로 $M+N-1$ (여기서, N 은 3이상의 양의 정수)비트 단위로 래치하고, 서로간에 상기 소정 오프셋의 시간차를 가지며 각각이 래치된 M 비트로 이루어진 N 개의 상태 데이터들을 출력하는 제1 래치부;

상기 N 개의 상태 데이터들을, 상기 제1 ~ 제 M 논 오버랩핑 클럭 신호들중 타이밍 마진이 가장 큰 제 X ($1 \leq X \leq M$) 논 오버랩핑 클럭 신호에 응답하여 병렬로 래치하는 제2 래치부; 및

상기 싱크 워드가 존재할 때 외부로부터 발생하는 싱크 존재 신호와 상기 제 X 논 오버랩핑 클럭 신호에 응답하여, 상기 제2 래치부에서 래치된 데이터들중 상기 싱크 워드가 검출되는 상태 데이터를 복원된 상기 정보 데이터로서 출력하는 동기화부를 구비하는 것을 특징으로 하는 데이터 복원 장치.

【청구항 2】

제1 항에 있어서, 상기 소정 오프셋은 상기 단위 비트의 폭에 해당하는 것을 특징으로 하는 데이터 복원 장치.

【청구항 3】

제1 항에 있어서, 상기 제1 래치부는

각각이, 수신한 상기 직렬 전송 데이터의 단위 비트를 데이터 입력하고 상기 제1 ~ 제M 는 오버래핑 클럭 신호들 각각을 클럭 입력하는 제1 ~ 제M+N-1 플립플롭들; 및

각각이, 상기 제1 ~ 제M+N-1 플립플롭들중 해당하는 M개의 플립플롭들의 데이터 출력을 버퍼링하고, 버퍼링된 결과를 상기 상태 데이터로서 출력하는 제1 ~ 제N 버퍼들을 구비하는 것을 특징으로 하는 데이터 복원 장치.

【청구항 4】

제1 항에 있어서, 상기 동기화부는

상기 N개의 상태 데이터들중 하나를 선택 신호에 응답하여 선택적으로 출력하는 선택 부;

상기 싱크 존재 신호 및 현재 상태를 나타내는 현재 상태 신호에 응답하여, 상기 선택부에서 선택된 상태 데이터와 상기 싱크 워드의 소정 비트 패턴을 비교하고, 비교된 결과에 응답하여 상기 선택 신호 및 다음 상태를 나타내는 다음 상태 신호를 출력하는 상태 및 선택 신호 발생부; 및

상기 다음 상태 신호를 상기 제X 는 오버래핑 클럭 신호에 응답하여 버퍼링하고, 버퍼링된 결과를 상기 현재 상태 신호로서 출력하는 제N+1 버퍼를 구비하고,

상기 복원된 정보 데이터는 상기 싱크 워드와 상기 소정 비트 패턴이 일치할 때 상기 선택부에서 선택된 상태 데이터에 해당하는 것을 특징으로 하는 데이터 복원 장치.

【청구항 5】

전송 채널을 통해 워드 클럭 신호와 함께 직렬로 전송되며 각각이 M (여기서, M 은 1이상의 양의 정수)비트인 싱크 워드와 정보 데이터가 멀티플렉싱된 직렬 전송 데이터로부터 상기 정보 데이터를 복원해내는 데이터 복원 방법에 있어서,

(a) 서로가 겹치지 않도록 소정 오프셋을 갖는 제1 ~ 제 M 은 오버랩핑 클럭 신호들을 상기 워드 클럭 신호를 기준으로 발생하는 단계;

(b) 수신한 상기 직렬 전송 데이터를 상기 제1 ~ 제 M 은 오버랩핑 클럭 신호들을 이용하여 병렬로 $M+N-1$ (여기서, N 은 3이상의 양의 정수)비트 단위로 래치하는 단계;

(c) 서로간에 상기 소정 오프셋의 시간차를 가지며 각각이 래치된 M 비트로 이루어진 N 개의 상태 데이터들을 발생하는 단계;

(d) 상기 N 개의 상태 데이터들을, 상기 제1 ~ 제 M 은 오버랩핑 클럭 신호들중 타이밍 마진이 가장 큰 제 X ($1 \leq X \leq M$)은 오버랩핑 클럭 신호에 동기시켜 병렬로 래치하는 단계;
및

(e) 상기 직렬 전송 데이터가 상기 싱크 워드일 때, 래치된 상태 데이터들중 상기 싱크 워드가 검출되는 상태 데이터를 복원된 상기 정보 데이터로서 결정하는 단계를 구비하는 것을 특징으로 하는 데이터 복원 방법.

【청구항 6】

제5 항에 있어서, 상기 (e) 단계는

(e1) 상기 직렬 전송 데이터가 상기 싱크 워드이면, 상기 상태 데이터들중 상기 워드 클럭 신호와 동기된 제1 상태 데이터가 상기 싱크 워드의 소정 비트 패턴과 일치하는가를 판단하는 단계;

(e2) 상기 제1 상태 데이터가 상기 소정 비트 패턴과 일치하면, 상기 제1 상태 데이터를 복원된 상기 정보 데이터로서 결정하는 단계;

(e3) 상기 제1 상태 데이터가 상기 소정 비트 패턴과 일치하지 않으면, 상기 상태 데이터들중 상기 제1 상태 데이터보다 상기 소정 오프셋만큼 지연된(lagging) 제2 상태 데이터가 상기 소정 비트 패턴과 일치하는가를 판단하는 단계;

(e4) 상기 제2 상태 데이터가 상기 소정 비트 패턴과 일치하면, 상기 제2 상태 데이터를 복원된 상기 정보 데이터로서 결정하는 단계;

(e5) 상기 제2 상태 데이터가 상기 소정 비트 패턴과 일치하지 않으면, 상기 상태 데이터들중 상기 제1 상태 데이터보다 상기 소정 오프셋만큼 앞선(leading) 제3 상태 데이터가 상기 소정 비트 패턴과 일치하는가를 판단하는 단계;

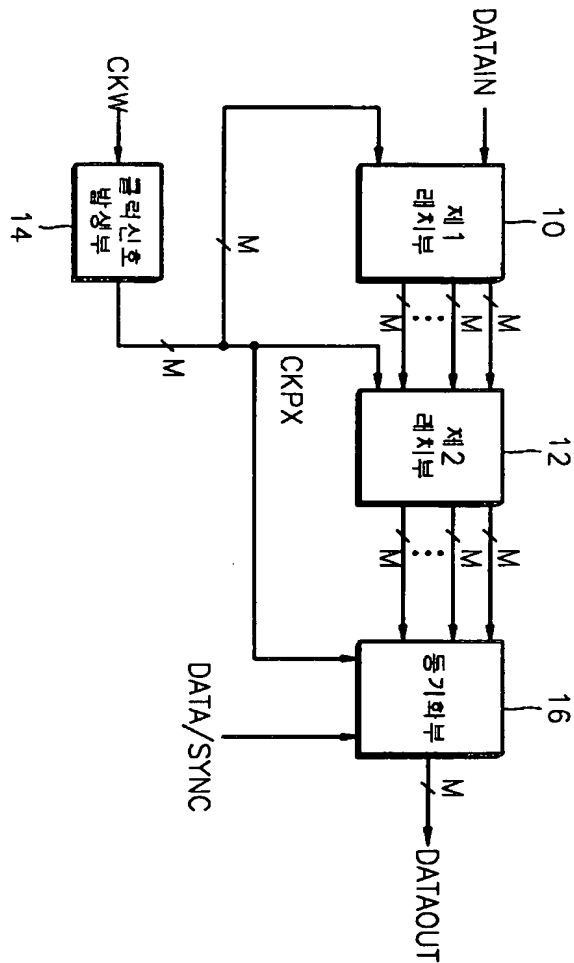
(e6) 상기 제3 상태 데이터가 상기 소정 비트 패턴과 일치하면, 상기 제3 상태 데이터를 상기 복원된 정보 데이터로서 결정하는 단계; 및

(e7) 상기 제3 상태 데이터가 상기 소정 비트 패턴과 일치하지 않으면, 상기 (e1) 단계로 진행하는 단계를 구비하고,

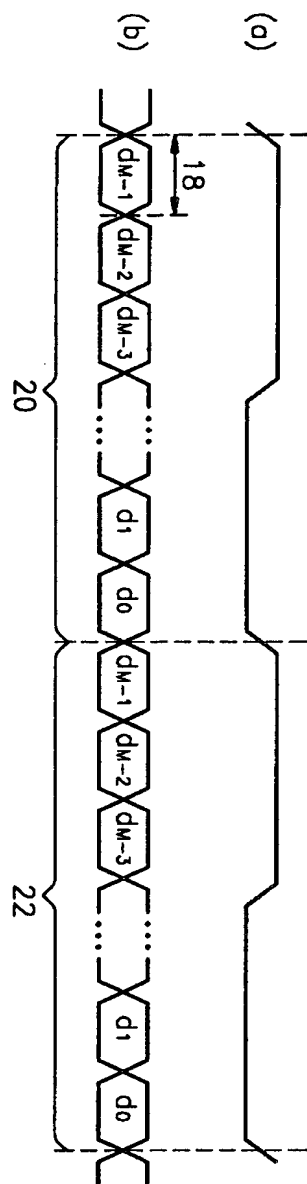
상기 제1, 상기 제2 또는 상기 제3 상태 데이터가 복원된 상기 정보 데이터로서 결정된 후 상기 제1, 상기 제2 또는 상기 제3 상태 데이터가 상기 소정 비트 패턴과 일치하지 않게 되면 상기 (e1) 단계로 진행하는 것을 특징으로 하는 데이터 복원 방법.

【도면】

【도 1】



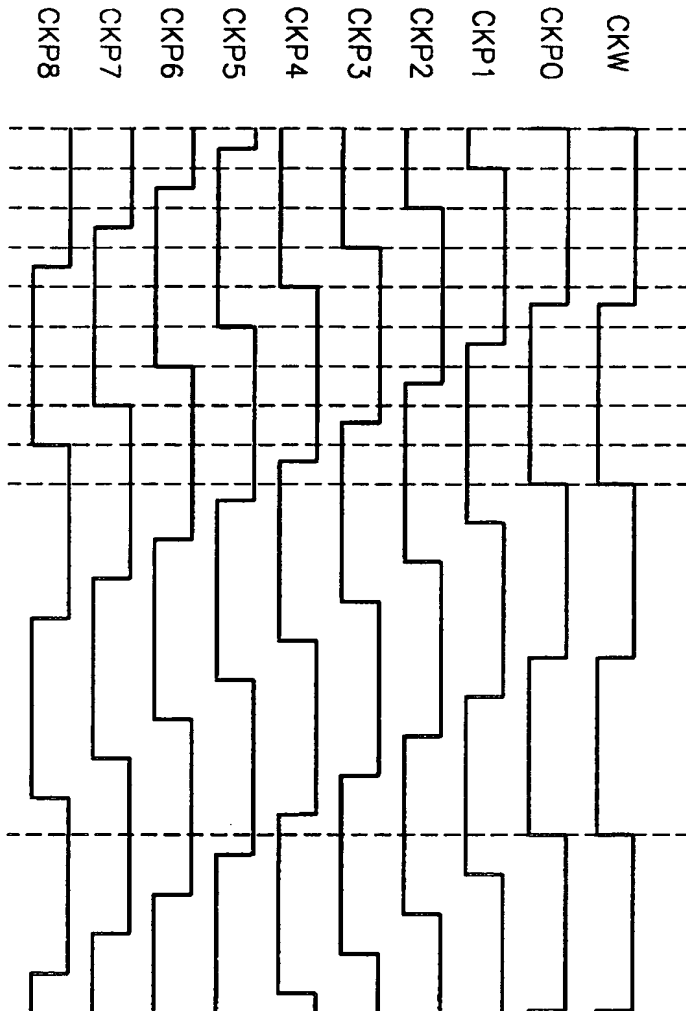
【図 2】



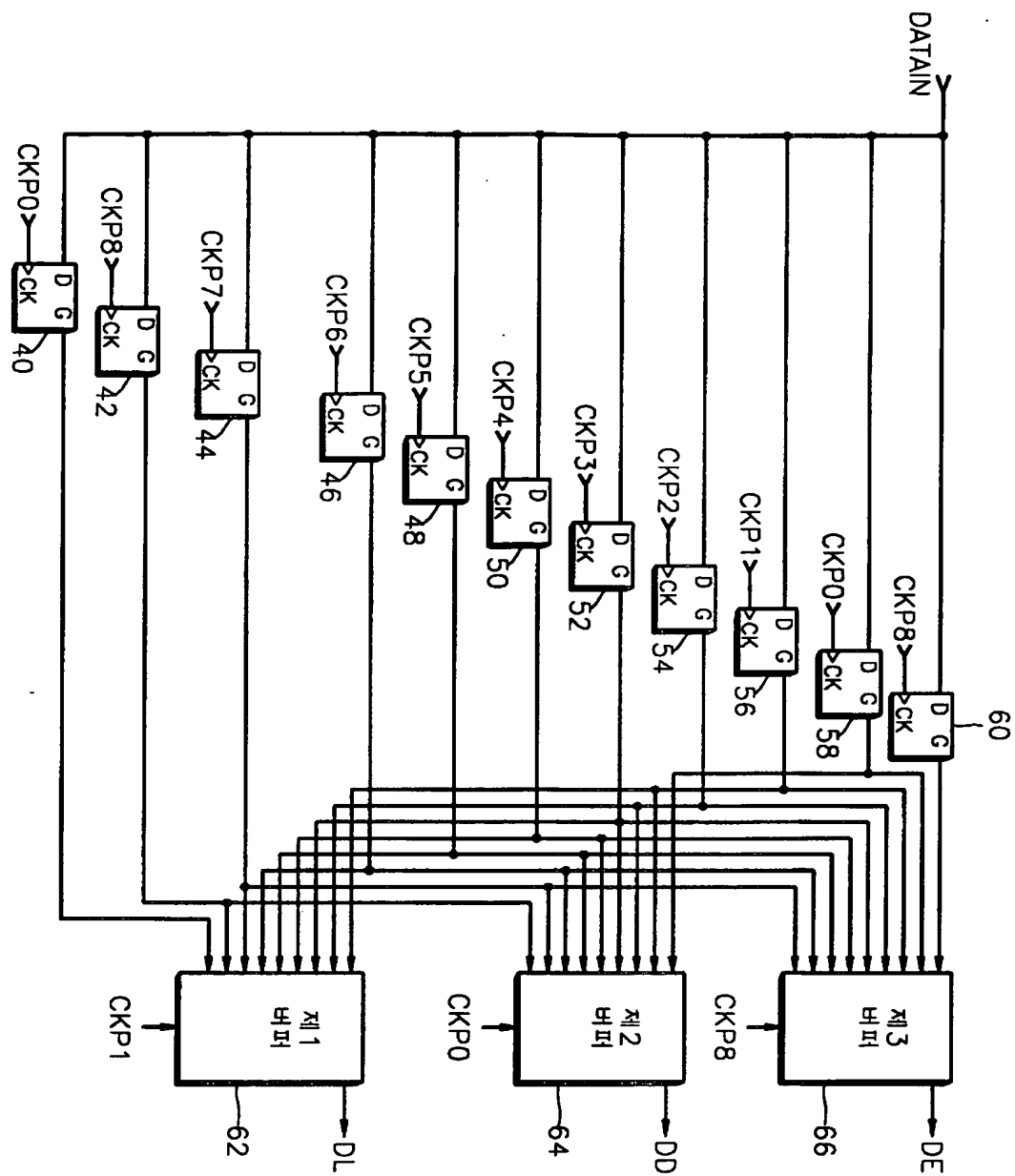
【도 3】



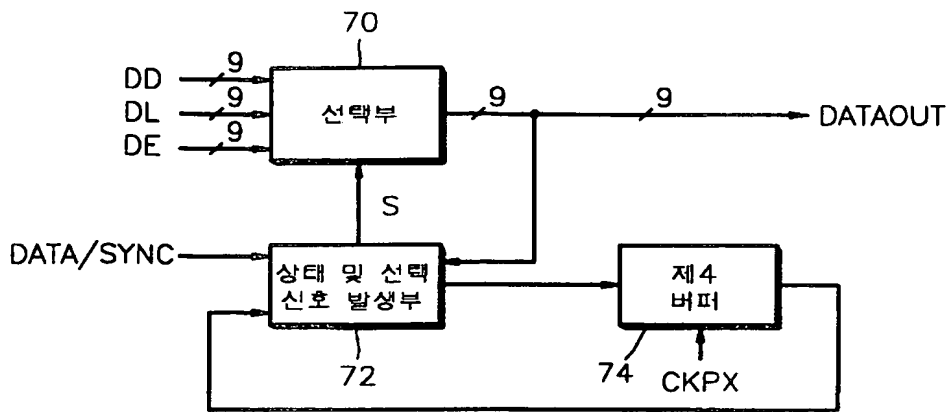
【도 4】



【도 5】



【도 6】



【도 7】

